

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

12213336

Basic Patent (No,Kind,Date): JP 7014982 A2 950117 <No. of Patents: 001>

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE
(English)

Patent Assignee: HITACHI LTD

Author (Inventor): HORIUCHI KATSUTADA; HASEGAWA NORIO; IKEDA TAKAHIDE

IPC: *H01L-027/00; H01L-021/82; H01L-027/12; H01L-029/784

Derwent WPI Acc No: *C 95-086949; C 95-086949

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 7014982	A2	950117	JP 93148852	A	930621 (BASIC)

Priority Data (No,Kind,Date):

JP 93148852 A 930621

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04694382 **Image available**

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

PUB. NO.: 07-014982 [JP 7014982 A]

PUBLISHED: January 17, 1995 (19950117)

INVENTOR(s): HORIUCHI KATSUTADA

HASEGAWA NORIO

IKEDA TAKAHIDE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 05-148852 [JP 93148852]

FILED: June 21, 1993 (19930621)

INTL CLASS: [6] H01L-027/00; H01L-021/82; H01L-027/12; H01L-029/786

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 26.9
(TRANSPORTATION -- Other)

JAPIO KEYWORD: R002 (LASERS); R020 (VACUUM TECHNIQUES)

ABSTRACT

PURPOSE: To manufacture a high-performance and high-density large scale integrated circuit device with excellent yield by accurately aligning and laminating semiconductor layers whereupon a plurality of semiconductor integrated circuits are formed.

CONSTITUTION: A semiconductor integrated circuit device layer is formed by laminating a flat quartz substrate 30, which permeates ultraviolet rays, on the major surface of the semiconductor integrated circuit device formed on a semiconductor substrate with adhesive 20 and by thinning the layer. The thin layer and a separately prepared semiconductor substrate 11 mounted with a semiconductor integrated circuit device are aligned and laminated by high- accuracy using ultraviolet rays. An aligning device provided with a mechanism which corrects pattern deformation caused by film forming process, etc., in the whole area of the semiconductor substrate and allows correct aligning is used. After the second lamination, the first adhesive is melted so as to release the quartz substrate and a laminated semiconductor integrated circuit device is formed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-14982

(43) 公開日 平成7年(1995)1月17日

(51) Int. Cl. ⁶	識別記号	F I
H01L 27/00	301 W	
21/82		
27/12	B	
29/784		
	8122-4M	H01L 21/82
		審査請求 未請求 請求項の数22 O L (全16頁)

(21) 出願番号 特願平5-148852

(22) 出願日 平成5年(1993)6月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 堀内 勝忠

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 長谷川 昇雄

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 池田 隆英

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 小川 勝男

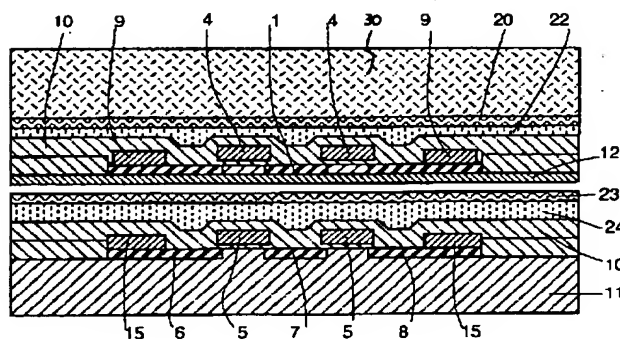
(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【目的】 複数の半導体集積回路が形成された半導体層を高精度で位置合せして積層化することにより、高性能で高密度の大規模集積回路装置を歩留まり良く製造する。

【構成】 半導体基板に製造した半導体集積回路装置の主表面で紫外光を透過する平坦な石英基板30と第1の接着剤20により貼合せ、薄化により半導体集積回路装置層を形成する。上記薄層と別途準備した半導体集積回路装置が構成された半導体基板11を紫外光を用いて高精度で位置合せし、貼合せる。成膜工程等で生じたパターン歪を半導体基板全領域で補正し、正確な位置合せを可能にする機構を付加した位置合せ装置を使用した。第2の貼合せ後、第1の接着剤を溶解して石英基板を剥離させ、積層半導体集積回路装置を形成する。

図7



【特許請求の範囲】

【請求項 1】絶縁膜で互いに分離された複数の単結晶半導体薄膜領域の各々に少なくとも一つの半導体装置が設けられ、且つ該半導体装置が配線層で互いに接続される半導体集積回路装置層が積層化されて構成された半導体集積回路装置において、上記半導体集積回路装置層内にそれぞれ形成された半導体装置の一部は実質的に同一の伝達遅延時間特性を有し、且つ隣接する該半導体集積回路装置層間で互いに整合された半導体装置電極端子と、該端子を貫通して下部の該端子に達する接続導電体とを備えたことを特徴とする半導体集積回路装置。

【請求項 2】絶縁膜で互いに分離された複数の単結晶半導体薄膜領域の各々に少なくとも一つの半導体装置が設けられ、且つ該半導体装置が配線層で互いに接続される半導体集積回路装置層が積層化されて構成された半導体集積回路装置において、上記半導体集積回路装置層内にそれぞれ形成された半導体装置の一部は実質的に同一の伝達遅延時間特性を有し、且つ上層部の上記単結晶半導体薄膜領域を貫通して下層部の該単結晶半導体薄膜領域又は配線領域と接続される接続導電体を備えたことを特徴とする半導体集積回路装置。

【請求項 3】請求項 1 又は 2 記載の半導体集積回路装置において、相接する上記半導体集積回路装置層は接着剤層を介さず直接貼合せにより積層化されていることを特徴とする半導体集積回路装置。

【請求項 4】請求項 1 又は 2 記載の半導体集積回路装置において、上記半導体集積回路装置層はその上面および底面のいずれにも配線層を有することを特徴とする半導体集積回路装置。

【請求項 5】請求項 4 記載の半導体集積回路装置において、上記配線層の少なくとも一層は面状であり、且つ電源電位、または接地電位を印加するための端子を有することを特徴とする半導体集積回路装置。

【請求項 6】請求項 1 又は 2 記載の半導体集積回路装置において、相接する上記半導体集積回路装置層の一方には第一導電型半導体装置が、他方には第二導電型半導体装置が設けられ、互いに対をなすことを特徴とする半導体集積回路装置。

【請求項 7】請求項 1 又は 2 記載の半導体集積回路装置において、相接する一方の上記半導体集積回路装置層の所望領域にはトランジスタが、他方の上記半導体集積回路装置層の所望領域には該トランジスタと整合して容量素子が設けられ、対をなすことを特徴とする半導体集積回路装置。

【請求項 8】請求項 7 記載の半導体集積回路装置において、上記容量素子の一方の電極は高融点金属膜または高融点金属珪化膜と接続され、該金属膜または該金属珪化膜は上記トランジスタ下部に設けられていることを特徴とする半導体集積回路装置。

【請求項 9】請求項 1 又は 2 記載の半導体集積回路装置

において、隣接して積層化される一方の上記半導体集積回路装置層はメモリセルアレイのみで構成されることを特徴とする半導体集積回路装置。

【請求項 10】請求項 1 又は 2 記載の半導体集積回路装置において、積層化される複数の上記半導体集積回路装置層は主記憶装置、及び拡張記憶装置を有することを特徴とする半導体集積回路装置。

【請求項 11】請求項 1 又は 2 記載の半導体集積回路装置において、積層化される複数の上記半導体集積回路装置層は主記憶装置及びキャッシュ記憶装置を有することを特徴とする半導体集積回路装置。

【請求項 12】請求項 10 又は 11 記載の半導体集積回路装置において、積層化される他の上記半導体集積回路装置層は中央処理装置を有することを特徴とする半導体集積回路装置。

【請求項 13】請求項 1 又は 2 記載の半導体集積回路装置において、相接する上記半導体集積回路装置層の相接する位置に対する関係で単位回路群と、その何れかを選択するスイッチとが設けられていることを特徴とする半導体集積回路装置。

【請求項 14】位置検出パターンを有する第 1 の基板の所望領域における位置不整を機械的または熱的外力印加により変形補正する制御手段、および位置検出パターンを有する第 2 の基板と該第 1 の基板を該位置検出パターンを用いて整合する制御手段、該第 1 の基板と該第 2 の基板を密着させる制御手段を有することを特徴とする半導体集積回路装置の製造装置。

【請求項 15】請求項 14 記載の半導体集積回路装置の製造装置において、上記第 1 および第 2 の基板には半導体集積回路装置または半導体集積回路装置層が形成されていることを特徴とする半導体集積回路装置の製造装置。

【請求項 16】請求項 14 または 15 記載の半導体集積回路装置の製造装置において、上記第 1 の基板は可視光に対して透明であることを特徴とする半導体集積回路装置の製造装置。

【請求項 17】請求項 14 または 15、あるいは 16 記載の半導体集積回路装置の製造装置において、上記第 1 または該第 2 の基板の主表面を平面または所望曲面に保持する制御手段を有することを特徴とする半導体集積回路装置の製造装置。

【請求項 18】第 1 の半導体集積回路装置が構成された第 1 の基板の主表面を平坦化する工程、平坦化された該表面に第 1 の接着層を介して平坦な第 2 の基板とを接着する工程、該第 1 の基板を裏面側から所望厚さまで薄化しその表面を平坦化する工程、薄化及び平坦化した該表面に第 2 の接着層を介して可視光に透明な第 3 の基板と接着する工程、第 1 の接着層を除去し、第 1 の基板の主表面を露出する工程、第 2 の半導体集積回路装置が設けられ、且つ主表面が平坦化された第 4 の基板と該第 1 の

10

20

30

40

50

基板の主表面を整合させ、かつ接着する工程、該第 2 の接着層を除去し、薄化及び平坦化した該表面を露出させる工程、該第 1 の半導体集積回路装置の所望領域を貫通し、該第 2 の半導体集積回路装置の所望領域に達する開孔を設け、接続配線する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 9】請求項 1 8 記載の半導体集積回路装置の製造方法において、上記接着は断面構造を一にする半導体集積回路装置層間で行うことを特徴とする半導体集積回路装置の製造方法。

【請求項 2 0】請求項 1 8 記載の半導体集積回路装置の製造方法において、上記第 3 の基板の所望箇所に上記第 2 の接着層に対する溶媒の注入孔が設けられていることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 1】請求項 1 8 記載の半導体集積回路装置の製造方法において、開孔を介する接続工程に代えて上記第 1 の半導体集積回路装置層と上記第 2 の半導体集積回路装置層を接着面に露出された金属面で互いに接続配線することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 2】請求項 1 8 記載の半導体集積回路装置の製造方法において、上記第 4 の基板と上記第 1 の基板の主表面を整合させ、接着する工程を接着剤を用いず直接接着し、かつ上記第 2 の接着層を除去の後、接着強度を強める熱処理を施すことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は S O I (シリコンオンインシュレータ) 基板を用いて超高集積化された半導体集積回路装置とその製造方法、並びにその製造装置に関する。

【0 0 0 2】

【従来の技術】半導体装置が形成された単結晶半導体基板の上に絶縁膜を形成し、該絶縁膜を介して非晶質半導体薄膜を堆積し、該半導体基板を結晶核としてレーザーアニール等により該半導体薄膜を単結晶化させてから該半導体薄膜に半導体装置を製造する手法が特開昭 6 2 - 2 0 3 3 5 9 号に開示されている。この方法により製造された半導体装置の断面図を図 2 7 に示す。図において、第 2 の半導体集積回路層 2 0 2 の単結晶化が全領域で実現できれば半導体装置としての理想的な構造である積層構造半導体装置が製造できる。上記手法の長所は第 1 の半導体集積回路層 2 0 1 と整合させて第 2 の半導体集積回路層 2 0 2 への半導体装置の製造、及び第 1 の半導体集積回路層 2 0 1 との層間配線 2 0 5 が可能であり、構造上からは微細化に適していることである。なお、ここで 2 0 3 は絶縁層、2 1 1 は第 1 層の配線層、2 2 1 は第 2 層の配線層、2 1 2 は第 1 層の活性領域、2 2 2 は第 2 層の活性領域、2 1 3 は第 1 層のゲート電極を表す。

【0 0 0 3】しかしながら非晶質膜にレーザー又は電子線照射等を施し、単結晶化する手法では単結晶化は結晶核領域の極近傍に限られ、結晶核領域から離れた絶縁膜 2 0 3 上の第 2 の半導体集積回路層 2 0 2 は多結晶化されるだけであり、大規模で高性能な半導体装置を該第 2 の半導体集積回路層 2 0 2 全面にわたり製造することは困難である。更に上記手法に於いては第 2 の半導体集積回路層 2 0 2 への再結晶化熱処理はもとより第 2 の半導体集積回路層 2 0 2 への半導体装置製造時の高温熱処理が第 1 の半導体集積回路層 2 0 1 にも施されることは避けられない。従って、第 1 の半導体集積回路層 2 0 1 内の拡散層不純物分布を急峻なまま保持することが困難となり超微細な半導体装置を第 1 の半導体集積回路層 2 0 1 に構成することは困難である。上記欠点はメモリセルアレーのごとく消費電力がそれほど小さくなく、かつ同一アクセス速度の素子を大容量化する目的のため積層化せんとする要求を満たす上で最大の問題点となる。積層半導体装置間でアクセス速度を同じく構成するためには素子形状はもとより同一熱処理条件の基に製造され、同一特性を有することが必要条件であるが上記従来製造方法に基づく限り第 1 の半導体集積回路層 2 0 1 が余分な高温熱処理工程を被ることは免れない。

【0 0 0 4】半導体薄膜の結晶性を確保するために半導体装置または半導体集積回路装置が構成された二枚の単結晶半導体基板を接着させ、一方を研磨等により薄膜化させる手法が例えばワイ、ハヤシ他、「ファブリケーションオブ スリージメンジョナル アイシ ユウジング カミュレイテブリー ポンデッドアイシ (キュービック) テクノロジー」(Y.Hayashi, et al., "Fabrication of Three-Dimensional IC Using Cumulatively Bonded IC (CUBIC) Technology" 1990 Symposium on VLSI Tech., p 95 (1990))に開示されている。この方法で製造された半導体装置の断面図を図 1 に示す。図 1 において、2 は素子間分離絶縁膜、9 0 から 9 2 は半導体装置と接続された電極、9 4、9 5 は表面保護絶縁膜である。絶縁性接着剤 9 6 および 9 9 とその開孔 9 7、及び金属プール 9 3 は第 2 の半導体基板 1 0 1 側に構成され、金属バンブ 9 8 は第 1 の半導体基板 1 0 0 側に構成されている。

【0 0 0 5】

【発明が解決しようとする課題】上記従来技術においては、第 1 の半導体基板 1 0 0 と第 2 の半導体基板 1 0 1 の各々に構成されている半導体装置は金属プール 9 3 と金属バンブ 9 8 により電氣的に接続されるが、半導体装置製造に用いる半導体基板 1 0 0 又は 1 0 1 は 5 0 0 μ m 以上の厚さと紫外又は可視光に対して透過できないほど厚いため開孔 9 7 と金属バンブ 9 8 間の位置合せはより波長が長く、半導体基板を透過可能な赤外線を用いて行われていた。従って、位置合せ精度に難点があり、数 μ m 以下のパターン合せは困難であった。即ち、超高集積高密度半導体装置の積層化のごとく、1 μ m 以下のパ

ターン間接続を目指すことは製品化の観点から不可能であった。

【0006】本発明の目的は高性能で超高密度な集積回路装置を歩留り良く廉価で提供することにある。また本発明の他の目的は半導体装置製造における位置合せ精度を飛躍的に改善し、縦方向にも超高精度で大規模半導体集積回路層を積層化することのできる半導体装置の製造方法を提供することである。本発明の他の目的はS O I基板を従来の10から100倍の高精度で位置合せが可能な基板貼合せ装置を提供する事にある。

【0007】

【課題を解決するための手段】上記目的は以下により達成される。第1の半導体集積回路装置が製造された第1の半導体基板を第1の接着剤を用いて別の基板と接着させる。第1の半導体基板を裏面側から研削及び研磨などで薄化させて第1の半導体集積回路装置層を形成し、これを透明石英基板に第2の接着剤を用いて接着する。この状態より第1の接着剤の溶媒で第1の接着剤のみを溶かし第1の半導体集積回路装置層を透明石英基板に転写させる。上記第1の半導体集積回路装置層を別途製造した第2の半導体集積回路装置又は半導体集積回路装置層とを厳密な位置合せを施し、第3の接着剤を用いて接着させる。上記の位置合せは第1の半導体集積回路装置層が数 μm 以下と十分に薄く構成されておれば石英基板は紫外線に対して透過率で50%以上であり、十分に透過できるので紫外線を光源とする高精度のマスク合わせ装置を用いることができる。なお、第2の接着剤の溶媒は第3の接着剤を溶かさないう性質の材料で構成すれば良い。

【0008】薄膜化された半導体集積回路装置層を他の半導体集積回路装置又は半導体集積回路装置層と接着させるときに考慮せねばならぬことは半導体基板上への成膜の連続により膜中の真性応力や熱応力のために10cm当たり1 μm 程度、初期のパターンから大きく歪み、半導体集積回路装置間の精密な位置合せを困難にすることである。上記のパターン歪を補正して精密な位置合せと接着を施すために、本発明においては第1の手法として位置合せを施すべき半導体集積回路装置が接着された一方または両方の基板に外力を印加し、歪みを補正する手法を用いた。また他の手法として、断面構造として同一成膜構成の半導体集積回路装置同士を接着させる手法を採用した。この場合、成膜により生じる歪量は何れの半導体集積回路装置においても同程度であり、歪による位置合せ不良は解消される。上記手法で接着させた半導体集積回路装置層同士をさらに接着させる場合もさらに接着する各々の層における断面構成を同一にして実施した。

【0009】

【作用】本発明によれば超微細半導体集積回路装置を製造するのと同様に紫外線を光源とした高精度マスク位置

合せ装置が利用できるので従来の半導体集積回路装置を製造するのと同様な高精度で半導体集積回路装置の積層化が可能となる。従って本発明手法を用いることにより従来の半導体装置の製造装置のままでさらに超高集積な半導体集積回路装置を実現することができる。ここにおいて、製造工程を分割し、良品の半導体層のみを積層して半導体集積回路装置を完成できるため、従来のごとき一貫製造にくらべて製造不良を大幅に低減することができる。すなわち、超高集積な半導体集積回路装置を廉価に提供することができる。更に積層化すべき半導体層の各々に半導体集積回路装置の構成素子を区別して構成し、積層化で一体化により完成された半導体集積回路装置とすることも可能となるため各々の半導体層を作り置き、所望時期に所望の組合せで積層化できる。従って、需要にすばやく対応することが新たに可能となる。また、相補型トランジスタへの適用のごとく、半導体層伝導型の場所的変換等の工程をも省略でき、製造工程数を低減することができる。本発明によれば同一半導体装置領域を有する半導体集積回路装置の積層化において、不良半導体装置部分が存在しても不良部分を非選択にし、別層の半導体装置部分を選択する構成にすることにより良品の半導体集積回路装置として動作させることができる。即ち、半導体集積回路装置の大幅面積化に伴って増大する良品歩留りの低下を積層化構成により大幅に改善することができる。その他本発明に基づけば構成素子の完全分離が可能であり、相補型トランジスタにおける寄生バイポーラ効果、即ち、ラッチアップ現象のごとき隣接素子間干渉や、 α 線照射に基づく誤動作等の不良をもほぼ完全に解消することができる。本発明によれば熱処理工程を同じくし、同一特性を有する複数の半導体集積回路装置を積層化により超大容量化できる。

【0010】

【実施例】以下、本発明を実施例によりさらに詳細に説明する。説明の都合上、図面をもって説明するが、要部が拡大して示されているので注意を要する。また説明を簡略にするため、各部の材質、半導体層の導電型、および製造条件を規定して述べるが、本発明は材質、半導体層の導電型、および製造条件は実施例に限定されないことは勿論である。

【0011】（実施例1）図2から図5は本発明による半導体集積回路装置の第1の実施例を製造工程順に示した断面図である。面方位（100）、抵抗率50 Ωcm 、直径12.5cm、p導電型なる単結晶シリコン（Si）基板1の主表面に公知の手法を用いて200nm厚の熱酸化膜を所望箇所に選択的に形成して素子間分離絶縁膜2とした。続いて所望活性領域の基板表面に6nm厚のSi熱酸化膜を形成してゲート絶縁膜3としてから所望領域のゲート絶縁膜を選択的に除去してから多結晶Si膜とタングステン珪化膜の積層堆積膜によるゲート電極4および配線電極9を形成した。更にゲート電

極 4 をマスクにして N 型低抵抗拡散層 6、7、8 を形成してから電極保護絶縁膜 10 を全面的に堆積した (図 2)。

【0012】図 2 の状態より溶融させたワックス 20 を電極保護絶縁膜 10 上に全面塗布し、透明石英基板 30 に接着させた。続いて Si 基板 1 の裏面側から高精度研削装置により 10 μ m 厚まで研削し、さらに機械的・化学的研磨を施して素子間分離絶縁膜 2 の裏面で規定される面まで Si 基板 1 を薄化させた。上記研磨は回転円板上に設けられた研磨布に Si 基板を 1.9 x 10⁴ Pa の圧力で押しつけ、エチレンジアミン・ピロカテコールが添加された研磨液を供給しながら行ったが研磨の進行に伴って露出される素子間分離絶縁膜 2 の研磨速度は Si に比べて極めて遅く、1/10⁴ 倍以下であった。従って、上記の研磨により単結晶 Si 基板 1 は完全に平坦化され、素子間分離絶縁膜 2 で互いに絶縁された約 100 nm 厚の単結晶超薄膜 Si が得られた。しかる後、研磨面に保護絶縁膜 16 を形成した (図 3)。

【0013】図 3 の状態において、別途準備しておいた図 2 の状態まで製造した第 2 の Si 基板 11 の主表面と前記保護絶縁膜 16 とを後述の位置合せ装置を用いて正確な位置合せを行った後、フッ素系樹脂を接着層 21 として貼付した。接着層 21 の厚さは約 2 μ m であった。しかる後、第 2 の Si 基板 11 を 100 $^{\circ}$ C に加熱し、ワックス 20 を溶解させ、石英基板 30 から剥離し、残置されたワックスをアセトンで洗浄除去した。上記のワックス除去工程はフッ素系樹脂よりなる接着層 21 には何の影響も与えない (図 4)。

【0014】この状態より超薄膜 Si 層 1 に構成された端子電極 9、素子間分離絶縁膜 2、接着層 21、及び Si 基板 11 上の電極保護絶縁膜等を貫通し、Si 基板 11 上の端子電極 15 に到達する開孔を設けてから開孔への選択金属堆積を施すことにより接続配線 17 を形成した。さらに、所望回路構成に基づいた配線 18 を施して半導体集積回路装置を完成させた (図 5)。

【0015】上記製造方法に基づいて製造された半導体集積回路装置においては従来の積層型半導体集積回路装置に比べて構成される半導体層間の位置合せ精度を $\pm 0.5 \mu$ m と 10 倍に向上することができた。これにより、開孔幅 0.5 μ m、端子電極 15 の幅として 1.5 μ m で層間を接続することができ、層間接続のためのパンプ及びプール形成に要していた領域を要することなく、基本回路単位を積層方向に直接構成できるまでに高集積化することができ回路設計の自由度を大幅に向上することができた。本実施例における積層方向の飛躍的位置合せ精度向上は超薄膜からなる透明な半導体集積回路装置層と透明石英が紫外線を透過できるため接着すべき下地の半導体集積回路装置と高精度で位置合せが可能となったことに基づく。

【0016】本実施例に基づく半導体集積回路装置とし

てメモリセルアレーよりなる半導体集積回路装置層の積層化を実施したが、各半導体集積回路装置層は同一熱処理の製造工程で製造され、アクセス速度等の機能も各層間で異ならず実質同一の特性が得られ、同一平面上に同一容量のメモリセルアレーを構成した従来半導体集積回路装置に比べて良品率の向上と最大配線長さの短縮による動作速度の向上が達成された。

【0017】なお、半導体集積回路装置の一般的な特性としては伝達遅延時間を用いることができる。

【0018】(実施例 2) 図 6 から図 8 は本発明の第 2 の実施例による半導体集積回路装置を製造工程順に示した断面図である。前記実施例 1 に基づいて電極保護絶縁膜 10 まで製造した Si 基板 1 に 3 μ m 厚の多結晶 Si 膜 22 を堆積してからその表面を平均二乗粗さが 0.3 nm 以下になるごとく機械研磨を施し、平坦化させた。この状態から前記実施例 1 に従って透明石英板 30 に溶融したワックス 20 により接着させ、Si 基板 1 裏面から薄化により素子間分離絶縁膜 2 の裏面で規定される単結晶超薄膜 Si を形成とその裏面への保護絶縁膜 12 の形成を行った (図 6)。

【0019】図 6 の状態において、図 6 と同様の製法により厚い多結晶 Si 膜 24 の堆積とその表面の平坦化研磨まで別途製造した単結晶 Si 基板 11 の主表面と前記保護絶縁膜 12 とを後述の位置合せ装置を用いて正確な位置合せを行った後、フッ素系樹脂を接着層 23 として貼付した。接着層 23 の厚さは約 0.5 μ m であった (図 7)。

【0020】しかる後、第 2 の Si 基板 11 を 100 $^{\circ}$ C に加熱し、ワックス 20 を溶解させ、石英基板 30 から剥離し、残置されたワックスのアセトンによる洗浄除去と多結晶 Si 膜 22 の選択エッチングを施した。上記のワックス除去工程はフッ素系樹脂よりなる接着層 23 には何の影響も与えない。次に単結晶超薄膜 Si 層 1 に構成された電極配線 9 上において、電極配線 9、接着層 23、及び Si 基板 11 上の電極保護絶縁膜等を貫通し、Si 基板 11 上の電極配線 15 に到達する開孔を設けてから開孔側壁への絶縁化処理をほどこしてから開孔への金属膜の堆積とパターン形成を施すことにより接続配線 17 を形成した。さらに、所望回路構成に基づいた配線 18 を施して半導体集積回路装置を完成させた (図 8)。

【0021】上記製造方法に基づいて製造された半導体集積回路装置においては従来の積層型半導体集積回路装置に比べて構成される半導体層間の位置合せ精度を $\pm 0.3 \mu$ m と 20 倍に向上することができた。これにより、開孔幅 0.4 μ m、電極配線 15 及び 17 の幅として 1.0 μ m で層間を接続することができ、層間接続のためのパンプ及びプール形成に要していた領域を要することなく、基本回路単位を積層方向に直接構成できるまでに高集積化することができ回路設計の自由度を大幅に

向上することができた。本実施例における積層方向の飛躍的位置合せ精度向上は超薄膜からなる透明な半導体集積回路装置層と透明石英が紫外線を透過できるため接着すべき下地の半導体集積回路装置と高精度で位置合せが可能となったことに基づく。更に、前記実施例 1 の場合に比べてさらに位置合せ精度が向上できたのは貼合せるべき表面の凹凸を極端に平坦化したことにより接着層 2 3 を薄く構成しても気泡の発生なしで貼合せが可能となったためと考えられる。

【 0 0 2 2 】 (実施例 3) 図 9 から図 1 1 は本発明の第 3 の実施例による半導体集積回路装置を製造工程順に示した断面図である。前記実施例 2 に基づいて厚い多結晶 S i 膜 2 4 表面の平坦化研磨までを施した単結晶 S i 基板 1 をワックス 2 5 で別途準備された鏡面 S i 基板 4 0 に貼合せた。しかる後、単結晶 S i 基板 1 の裏面側から薄化し、素子間分離絶縁膜 2 裏面で膜厚が規定されるごとく前記実施例 1 に基づいて超薄膜単結晶 S i 層を形成した (図 9) 。

【 0 0 2 3 】 図 9 の状態まで製造した超薄膜単結晶 S i 層 1 の裏面側に水溶性接着剤であるポリビニルアルコール膜 2 6 を塗布し、透明石英基板 3 0 に貼合せた。しかる後、鏡面 S i 基板 4 0 を 1 0 0 ° C に加熱し、ワックス 2 5 を溶解させて石英基板 3 0 から剥離し、残置されたワックスをアセトンにより洗浄除去した。アセトン洗浄において、ポリビニルアルコール膜 2 6 は何等影響を受けない (図 1 0) 。

【 0 0 2 4 】 前記実施例 2 に基づいて厚い多結晶 S i 膜 2 7 表面の平坦化研磨までを施した別途準備の単結晶 S i 基板 1 1 を図 1 0 の状態の超薄膜単結晶 S i 層 1 と多結晶 S i 面同士で直接貼合せた。上記の貼合せにおいて互いの位置合せは前記実施例 2 と同様に後述の精密位置合せ装置に基づいて実施した。なお、単結晶 S i 基板 1 1 には前記実施例 1 に基づいて N 型低抵抗拡散層 6、7、8 を予め形成しておいた。上記の直接貼合せの後、単結晶 S i 基板 1 1 を水中に浸すことにより水溶性接着剤 2 6 を溶解して透明石英基板 3 0 から分離させ、接着強度を向上するための熱処理を 9 0 0 ° C、3 0 分の条件で施した。しかる後、単結晶超薄膜 S i 層 1 の表面にゲート絶縁膜を形成してからゲート電極 4 が延在された素子間分離絶縁膜 2 に開孔を施した。更にゲート電極 4 と一致するごとく第 2 ゲート電極 1 3 を単結晶超薄膜 S i 層 1 上に形成し、第 2 のゲート電極 1 3 をマスクにして低抵抗拡散層 6 1、6 2、6 3 等を形成した。次に単結晶超薄膜 S i 層 1 に構成された電極配線 9 上において、電極配線 9、多結晶 S i 層 2 4、2 7 及び S i 基板 1 1 上の電極保護絶縁膜等を貫通し、S i 基板 1 1 上の電極配線 1 5 に到達する開孔を設けてから開孔側壁の絶縁化処理を施し、開孔への金属膜の堆積とパターン形成を施すことにより接続配線 1 7 を形成した。さらに、所望回路構成に基づいた配線 1 8、および電極保護絶縁膜 1 0

を形成して半導体集積回路装置を完成させた (図 1 1) 。

【 0 0 2 5 】 上記製造方法に基づいて製造された半導体集積回路装置においては従来の積層型半導体集積回路装置に比べて構成される半導体層間の位置合せ精度を ± 0. 3 μ m と 2 0 倍に向上することができた。これにより、層間接続のためのパンプ及びプール形成に要していた領域を要することなく、基本回路単位を積層方向に直接構成できるまでに高集積化することができ回路設計の自由度を大幅に向上することができた。本実施例における積層方向の飛躍的位置合せ精度向上は超薄膜からなる透明な半導体集積回路装置層と透明石英が紫外線を透過できるため接着すべき下地の半導体集積回路装置と高精度で位置合せが可能となったことに基づく。

【 0 0 2 6 】 さらに、本実施例に基づく半導体集積回路装置においては接着剤を用いずに直接貼合せる手法を用いているため、積層化後にゲート電極 1 3 と拡散層 6 1 から 6 3 等を製造することができる。従って、積層化する半導体集積回路装置層は電流制御を超薄膜 S i 層の上下から行う構成が可能となり、従来構造トランジスタ構造比で 3 倍以上の大電流化、即ち高速化が縦方向の超高集積化と併せて可能となった。

【 0 0 2 7 】 (実施例 4) 図 1 2 は本発明の第 4 の実施例による半導体集積回路装置を示した断面図である。前記実施例 3 において、半導体集積回路装置層 1 を貼合せるべき半導体基板 1 1 の代わりに前記実施例 3 に記載した手法に準じて製造した超薄膜の半導体集積回路装置層 1 が直接貼合された半導体基板 3 1 を用いた。半導体集積回路装置層 1 にはゲート電極 1 9 や他の電極などを予め構成しておく。図 9 においては鏡面 S i 基板 4 0 と単結晶 S i 基板 1 をワックス 2 5 により接着させたが本実施例の半導体集積回路装置においては主表面に熱酸化膜 2 9 が形成された鏡面 S i 基板 3 1 の主表面と単結晶 S i 基板 1 上の平坦化研磨された多結晶 S i 膜 2 8 面とで接着剤なしに直接貼合せた。その後、接着強度向上のための熱処理を 9 0 0 ° C、3 0 分の条件で施してから単結晶 S i 基板 1 の裏面側から薄化し、素子間分離絶縁膜 2 底面で膜厚が規定される半導体集積回路装置層 1 を形成した。しかる後、半導体集積回路装置層 1 の新規の主表面にゲート絶縁膜の形成と素子間分離絶縁膜 2 領域における所望箇所への開孔を施してからゲート電極 5 を含む電極とゲート電極 5 と自己整合で低抵抗拡散層を形成した。続いて電極保護絶縁膜と厚い多結晶 S i 膜を全面に堆積し、多結晶 S i 膜の表面を平坦に研磨した。上記手法に基づいて製造した半導体基板 3 1 上の多結晶 S i 膜表面と、石英基板 3 0 にポリビニルアルコールを接着剤 2 6 として貼合せたゲート電極 4 などが構成された別途準備の超薄膜半導体集積回路装置層 1 (図 1 0) における多結晶 S i 面とを接着剤無しに直接貼合せた。上記の貼合せ工程において、互いの超薄膜半導体集積回路装置

層間の位置合わせは前記実施例 2 または 3 と同様に後述する精密位置合せ装置を用いて実施した。貼合せ工程の終了後、ポリビニルアルコールによる接着剤 2 6 の除去による透明石英板 3 0 の分離、接着強度向上の熱処理、更には貼合せた単結晶超薄膜 S i 層に第 2 のゲート電極 1 3、拡散層などの形成を前記実施例 3 に従って施した。この状態から主表面に露出されている単結晶超薄膜 S i 層に形成されている拡散層とその底部に構成された多結晶 S i 層などを貫通し、埋込まれた単結晶超薄膜 S i 層上の電極に達する開孔を施した。最後に多結晶 S i 側面の絶縁化処理の後、開孔への金属膜の選択形成と所望回路構成に基づく配線、及び電極保護絶縁膜を形成して半導体集積回路装置を完成させた (図 1 2)。

【 0 0 2 8 】 上記製造方法に基づいて製造された半導体集積回路装置においては前記実施例 3 による半導体集積回路装置と同様に従来の積層型半導体集積回路装置に比べて構成される半導体層間の位置合せ精度を 2 0 倍以上向上することができ、層間接続のためのバンプ及びボール形成に要していた領域を削減してきた。これにより基本回路単位を積層方向に構成できるまでに高集積化することが可能となり、回路設計の自由度を大幅に向上することができた。本実施例における積層方向の飛躍的位置合せ精度の向上は超薄膜からなる透明な半導体集積回路装置層と透明石英基板が紫外線をできるため接着すべき下地の半導体集積回路装置と高精度で位置合せが可能となったことに基づく。

【 0 0 2 9 】 更に本実施例に基づく半導体集積回路装置においては積層化された何れの半導体集積回路装置層も接着剤を用いない直接貼合せによる手法に依ったため拡散層形成等、高温熱処理を要する構造を積層貼合せ工程の後に施すことが可能となった。これにより積層半導体集積回路装置層の何れの層にも半導体層の上下に電流制御のためのゲート電極を構成することが可能となり、前記実施例 3 の半導体集積回路装置に比べても更に高速動作が実現できた。即ち、従来構造の半導体集積回路装置に比べて積層化による超高集積化と超高速化が同時に実現できた。

【 0 0 3 0 】 (実施例 5) 図 1 3 は本発明の第 5 の実施例による半導体集積回路装置を示した断面図である。前記実施例 4 において、半導体基板 3 1 と直接貼合せるべき超薄膜半導体集積回路装置層 1 の形成に関し、半導体基板 3 1 との貼合せ面を構成する多結晶 S i 膜 2 8 の堆積に先立って接地電位を印加すべき端子部 7 上の電極保護絶縁膜に所望の開孔を施してから全面に低抵抗多結晶 S i 膜とタングステン (W) 珪化膜の第一の積層膜 4 2 を形成した。しかる後、全面に第 2 の電極保護絶縁膜を堆積してから多結晶 S i 膜 2 8 の堆積とその平坦化研磨等を前記実施例 4 に従って施した。また、前記実施例 4 の製造工程においてゲート電極 1 3 の形成の後、上部の超薄膜半導体集積回路装置層を貫通する開孔を施すにあ

たり、上部の超薄膜半導体集積回路装置層における接地電位を印加すべき端子部において下地の超薄膜半導体集積回路装置層を貫通し、積層膜 4 2 に達する開孔を施し開孔部に接続用金属膜を埋め込んだ。更に前記実施例 4 の製造工程において、上部の超薄膜半導体集積回路装置層の主表面に電極保護絶縁膜 4 1 を堆積した後、電源電位を印加すべき上部及び下部の超薄膜半導体集積回路装置層の所望端子部 6 2 に開孔を施してから再び全面に低抵抗多結晶 S i 膜とタングステン (W) 珪化膜の第 2 の積層膜 4 3 を形成した。最後に第 1 及び第 2 の積層膜、4 2 及び 4 3 に対して各々接地電位及び電源電位が印加されるように所望箇所て接続させた (図 1 3)。

【 0 0 3 1 】 上記製造方法に基づいて製造された半導体集積回路装置においては前記実施例 4 による半導体集積回路装置における積層方向への超高集積化および超高速化の特長を同様に有する。更に本実施例による半導体集積回路装置においては前記実施例 4 に比べてもより高速動作化が実現できた。本実施例の半導体集積回路装置ではチップ上の何れの電源電圧印加端子、及び接地電位印加端子とも半導体集積回路装置層の上下部にほぼ全領域で面状に構成された導体層に接続されている。これにより電圧供給点から各端子までの層抵抗で接地抵抗及び電源抵抗が規定され、従来半導体集積回路装置のごとく電圧供給点から各端子までの引き回された配線の実効長及び幅に基づく配線抵抗で規定される場合に比べて接地抵抗及び電源抵抗を格段に低減出来た。接地抵抗及び電源抵抗の低減効果は半導体集積回路装置の占有面積が大きくなるほど有効である。

【 0 0 3 2 】 (実施例 6) 前記実施例 5 において、半導体基板 3 1 と多結晶 S i 膜 2 8 を介して直接貼合せる超薄膜半導体集積回路装置層には N チャネル型 MOS トランジスタのみを、また該超薄膜半導体集積回路装置層の上部に積層で構成する超薄膜半導体集積回路装置層には P チャネル型 MOS トランジスタのみを構成して相補型 MOS トランジスタによる半導体集積回路装置を積層構成で製造した。7 は接地電位印加端子、6 2 は電源電位印加端子である。相補型 MOS トランジスタのための N チャネル及び P チャネルトランジスタの接続は超薄膜間の層間接続配線 1 7 によった。

【 0 0 3 3 】 上記製造方法に基づいて製造された半導体集積回路装置においては N チャネル型 MOS トランジスタと P チャネル型 MOS トランジスタとが別々の超薄膜に構成されるので従来の相補型 MOS トランジスタの構成のごとく半導体基板を各導電型のトランジスタが構成される領域 (ウェル領域と称される) に分離する製造工程、およびそのための占有領域が削減されるので製造原価の低減、及び更なる高集積化が実現できた。また導電型の異なるトランジスタは層を別にして完全に分離されていのでラッチアップ現象等の隣接素子間の相互干渉も完全に解消された。

【 0 0 3 4 】（実施例 7）図 1 4 から図 1 5 は本発明の第 7 の実施例による半導体集積回路装置を製造工程順に示した断面図である。P 型低抵抗 S i 基板 3 1 の主表面側から所望パターン形状の溝穴を形成し、その溝側壁に薄い絶縁膜 3 2 を熱酸化により形成してから該溝穴を埋めるごとく不純物が添加された低抵抗の多結晶 S i 膜 3 3 を全面に堆積した。しかる後、主表面が平坦になるごとく機械的な研磨を施して多結晶 S i 膜 3 3 領域を S i 基板 3 1 から分離構成した（図 1 4）。

【 0 0 3 5 】ここにおいて、別途準備した P 導電型の単結晶 S i 基板 1 に所望回路構成による素子間分離絶縁膜、ゲート電極 4 6 および 4 7、N 型低抵抗拡散層、電極保護絶縁膜等を形成してから前記実施例 1 に従って素子間分離絶縁膜の底面で膜厚が規定される超薄膜単結晶半導体集積回路装置層 1 を形成した。上記の超薄膜を前記実施例 1 に基づいて図 1 4 まで製造した S i 基板 3 1 と正確な位置合せの基に接着した。接着はフロン系樹脂の塗布膜を接着剤 3 4 として実施した。しかる後、位置合せに用いた透明石英基板を除去してから所望拡散層領域の超薄膜 S i 層と直下の接着剤層 3 4 に開孔を施し、分離された多結晶 S i 膜 3 3 と所望拡散層領域を電気的に接続する電極 4 9 を形成した。次に全面に電極保護絶縁膜を堆積してから所望拡散層領域 4 8 との接続のための開孔とビット線を構成する配線電極 1 4 を形成し、一容量素子とトランジスタを基本単位とする半導体記憶装置が形成された（図 1 5）。

【 0 0 3 6 】上記の製造方法に基づいて製造された半導体集積回路装置において、容量素子が構成される半導体基板と制御トランジスタが構成される半導体基板は個別に製造された後、貼合せにより一体化されるため容量素子の製造に関して製造工程上およびレイアウト上の制約が大幅に緩和される。従って、S i 基板 3 1 に形成する溝の深さ、及びトランジスタ底面にまで拡張できる溝面積を所望値に設定できるので十分に大きな容量値を記憶容量素子部に実現することができた。これにより、 α 線照射による誤動作を格段に解消することができた。

【 0 0 3 7 】（実施例 8）図 1 6 は本発明の第八の実施例による半導体集積回路装置を示した断面図である。本実施例では前記実施例 7 において、容量素子を構成するべき S i 基板 3 1 の代りに熱酸化膜 3 6、該熱酸化膜 3 6 上の所望回路構成に従ってパターンニングされた高融点金属珪化膜 3 7、及び該高融点金属珪化膜上に全面的に堆積された低抵抗の多結晶 S i 膜 3 8 が主表面に構成された半導体基板 3 5 を用いた。高融点金属珪化膜 3 7 は所望によりパターンニングを施さず全面的に構成したままでも良い。ここにおいて容量素子のための溝形成は多結晶 S i 膜 3 8 領域に施し、その加工表面への薄い絶縁膜の形成の後、溝領域への低抵抗多結晶 S i 膜 3 3 の埋込みを施した。しかる後、半導体基板 3 5 の主表面上の多結晶 S i 膜 3 3、3 6 等を機械的研磨により平坦化し

てから前記実施例 7 に基づき平坦化面と超薄膜 S i 層との接着、及びその後の製造工程を続行して半導体集積回路装置を製造した（図 1 6）。

【 0 0 3 8 】上記の製造方法に基づいて製造された半導体集積回路装置においては容量素子の一方の電極を構成する多結晶 S i 膜 3 8 は電気的に更に低抵抗な高融点金属珪化膜 3 7 に接続され、プレート電位の印加に対し、より高速に追従できた。これにより、記憶の読出し、書き込みの速度を実施例 7 の半導体集積回路装置に比べて更に高速化することができた。

【 0 0 3 9 】（実施例 9）図 1 7 は本発明の第 9 の実施例による半導体集積回路装置を示した断面図である。本実施例においては前記実施例 2 に基づいて半導体集積回路装置の積層化を繰返して多層構成の半導体集積回路装置を製造した。図 1 7 において、1 1 は半導体支持基板、5 0 は第 1 の超薄膜 S i 層で主記憶装置を構成した。5 1、5 2、5 3 は第 2、第 3 及び第 4 の超薄膜 S i 層で各々拡張記憶装置を構成した。

【 0 0 4 0 】本実施例に基づく半導体集積回路装置においては精密位置合せ多層構造による縦方向の高集積効果により従来半導体集積回路装置における配線遅延に基づく演算処理時間の増加を大幅に低減することができた。

【 0 0 4 1 】（実施例 1 0）本実施例においては前記実施例 9 の 5 1、5 2、5 3 としてキャッシュ記憶装置で構成した。キャッシュ記憶装置の構成半導体装置は超高速バイポーラ型トランジスタによった。主記憶装置 5 0 は M O S 型トランジスタで構成した。

【 0 0 4 2 】本実施例に基づく半導体集積回路装置においては精密位置合せ多層構造による縦方向の高集積効果によりキャッシュ記憶装置と主記憶装置間の記憶データのやりとりが瞬時に可能となるため、大容量のキャッシュ記憶をそなえることができた。これにより記憶装置全体として見た場合の動作速度を大幅に向上でき、かつ大容量の情報を蓄積することが可能となった。

【 0 0 4 3 】（実施例 1 1）図 1 8 は本発明の第 1 1 の実施例による半導体集積回路装置を示した断面図である。本実施例においては前記実施例 1 0 に基づいて半導体集積回路装置の積層化を繰返して多層構成の半導体集積回路装置を製造した。図 1 8 において、5 4 は中央処理装置、5 0 は主記憶装置、5 1 から 5 3 は命令プロセッサ、システム制御装置、入出力プロセッサ、拡張記憶装置等でこれらを前記実施例 2 に基づいて複数層にわたり積層化し、超高速計算機を構成する半導体集積回路装置とした。

【 0 0 4 4 】本実施例に基づく半導体集積回路装置においては精密位置合せ多層構造による縦方向の高集積効果により装置間接続長さが極端に短縮された。これにより半導体装置等の組立てによる従来大型計算機に比べて 1 秒間当たりの命令処理回数が大幅に増加できた。

【 0 0 4 5 】（実施例 1 2）図 1 9 及び図 2 0 は本発明

の第 1 2 の実施例による半導体集積回路装置を示した断面図である。本実施例の第 1 の手法を図 1 9 に、第 2 の手法を図 2 0 に示す。図 1 9 は前記実施例 2 と同様な製造方法に基づいて製造した本実施例の半導体集積回路装置であるが、同一機能を有する半導体集積回路装置層を上下整合させて積層構成した。更に、各半導体集積回路装置層における所望単位回路ごとにその電流経路を制御するトランジスタを直列に配置させた。5 5 及び 5 6 は隣接する各半導体集積回路装置層における該トランジスタのゲート電極である。

【 0 0 4 6 】 本実施例に基づく半導体集積回路装置においては半導体集積回路装置の大面积・大規模化に伴い低下する良品歩留りを向上させることができた。即ち、積層化された何れかの半導体集積回路装置層における所望単位回路に不良が生じていた場合、不良回路に直列接続されたトランジスタ（例えばゲート電極 5 5 で制御されるトランジスタ）によりその経路を遮断し、接続配線電極 1 7 を介して良品の所望単位回路側の経路のみを選択するごとくトランジスタ（例えばゲート電極 5 6 で制御されるトランジスタ）を導通させた。これにより、従来は 1 箇所不良回路の存在で半導体集積回路装置が不良とされ、良品歩留りを大幅に低下させていた状況を大幅に改善することができ、半導体集積回路装置の更なる大面积・大規模化に路を開くことができた。なお、各半導体集積回路装置層の不良箇所は各半導体集積回路装置層を形成した段階で予め測定により確認してから積層化している。

【 0 0 4 7 】 本実施例の他の手法は図 2 0 に示される半導体集積回路装置であり、前記実施例 4 に準じて同一機能を有する半導体集積回路装置層を上下整合させて積層構成した。前記実施例 4 との違いは各半導体集積回路装置層の製造の後、その所望単位回路の不良部分を電気測定により同定し、その不良単位回路（図 2 0 において例えば上部半導体集積回路装置層の図示した領域）の電流経路を微細に絞ったレーザー光線により溶融により断線させ、電氣的に開放状態の領域 3 9 とした。これによりこれにより図 2 0 の半導体集積回路装置において電流経路は接続配線電極 1 7 を介して良品の所望単位回路側の経路（図 2 0 において例えば下部半導体集積回路装置層の図示した領域）を選択する構成が実現できた。即ち、図 1 9 で断面を示した本実施例の他の手法の場合と同様な不良単位回路部分の救済が可能となった。本手法においては図 1 9 で示した半導体集積回路装置に比べて不良単位回路救済に要する余分のトランジスタを必要とせず、従って、占有面積の増大を防止でき、半導体集積回路装置の大面积・大規模化を更に推し進めることが可能となった。

【 0 0 4 8 】（実施例 1 3）図 2 1 と図 2 2 は本発明の半導体集積回路装置の製造装置を示す概念図である。前記各実施例の半導体集積回路装置は本実施例の製造装置

を用いて製造された。パターンが形成された 2 枚の半導体基板又は半導体薄膜 7 5 および 7 6 を高精度で位置合せし、互いに接着するためには成膜に基づく各々の半導体基板又は半導体薄膜独自の伸縮及び歪等を互いに精度良く整合するべく矯正する必要がある。図 2 1 において、第 1 のステージ 7 1 上に第 2 のステージ 7 2 及び第 3 のステージ 7 3 を配置している。ステージ 7 2 上に基板 7 5 を、ステージ 7 3 上には基板 7 6 を真空吸着した。それぞれの基板はステージに相対的にプレアライメントされた状態でステージ上に搬送される。基板の搬送は通常方式の自動搬送機構を用いた。ステージ 7 2 およびステージ 7 3 はそれぞれ回転機構を有しており、ステージの移動軸に基板上のチップ配列が平行になるように合わせることができる。基板上には位置認識用のターゲットマークが形成されており、ターゲットマークの位置検出は位置検出光学系 7 7、7 8 で行う。この装置では基板 7 5 に対して基板 7 6 を整合する構成となっている。検出光学系 7 7、7 8 で基板 7 5 及び基板 7 6 の相対位置誤差を測定し、位置誤差が存在する場合、ステージ 7 3 上の基板変形機構により基板 7 6 を変形させ、基板 7 5 と相対的な位置誤差が無くなるように制御する。ステージ 7 3 上には細分化された基板吸着ブロックが配置されており、それぞれのブロック 7 4 はピエゾ素子により単独で移動できるように構成されている。基板の位置はステージマーク 8 0 及び 8 1 に対し相対的に認識される。基板 7 5 と基板 7 6 はミラー反転した位置関係となっており、双方の位置関係は位置認識部 7 9 からの情報に基づいてコンピュータ制御系 8 3 でデータ処理される。そのデータを基板変形制御機構 8 2 で処理し、細分化された基板吸着ブロック 7 4 を移動させ、基板 7 6 を変形させる。この動作により基板 7 5 に対して基板 7 6 がミラー反転した状態で同一形状にすることができる。

【 0 0 4 9 】 次のステップでは図 2 2 に示すように基板 7 5 をステージ 7 2 に固定した状態で鏡面反転し、基板 7 6 の主表面と基板 7 5 の主表面が対向するように移動する。移動機構は図示していないが通常のアーム式移動機構を用いた。この状態でステージマーク 8 0 及び 8 1 を位置検出光学系 8 4 を用いて位置検出する。このデータはコンピュータ制御系 8 3 でデータ処理される。このデータをステージ位置制御系 8 5 で処理し、ステージ 7 3 を移動機構 8 6 で移動し、ステージ 7 2 に相対的に位置決めする。その後、ステージ 7 2 の上下移動機構により基板 7 2 を下降させ、基板 7 3 と密着させることにより貼合せが完了する。貼合せを良好に行うため、ステージ 7 2 は僅かな傾きが設定できるようになっている。上記一連の動作により互いに異なった変形を有する基板 7 5 及び基板 7 6 を同一形状に矯正して貼合せることができる。上記実施例において、基板 7 6 の変形機構には細分化した基板吸着ブロック 7 4 をピエゾ素子により移動

する機構を用いたが他の手法に基づいてもよい。例えば吸着ブロック 7 4 を熱変形板で移動する方式や、液体や気体の圧力を利用して位置を変える方式など種々可能である。即ち、本装置の特長は基板の形状を自在に変形できる機構を有することにある。なおここでは本装置の機能を説明するため装置を細分化して説明したが図 2 1 及び図 2 2 は同一装置内でも別装置で構成されていても本実施例による製造装置の特徴は変わらない。また、本実施例による製造装置の特徴に直接関係しない機構については説明を省略したが、通常的位置整合装置で必要な機構は付加されている。例えば装置全体の温度制御機構、ステージ位置測長機構、基板カセット・ツウ・カセット搬送機構等がその例である。また、本装置の変形として図 2 2 のように基板 7 5 の裏面からチップ配列の変形を測定することも可能である。基板 7 6 の変形を測定する場合はステージ 7 2 を検出の邪魔にならない位置に退避させる必要がある。この場合、図 2 1 のステージ 7 1 は不要となり、装置の小型化が達成できる。本実施例の製造装置を用いる基板 7 5 または 7 6 としては半導体集積回路装置が製造された通常の単結晶半導体基板に限定される必要はなく、前記実施例 1 等に記載したとき支持基板としての半導体基板上に接着剤で貼合せた単結晶超薄膜 Si 膜に製造された半導体集積回路装置層であってもよい。上記単結晶超薄膜 Si 膜は接着剤を用いない直接貼合せによるものであってもよい。この場合、本実施例に基づいた厳密な位置合せと密着および接着が半導体集積回路装置層間で施された後、本実施例の製造装置から基板 7 5 および 7 6 をはずしてから接着剤の溶媒中に該基板を浸して、支持基板を外せばよい。接着剤を用いない直接貼合せの場合は支持基板を研削・研磨等で除去する。

【0050】（実施例 1 4）前記実施例 1 3 においては図 2 1 に示すごとく、基板 7 5 及び 7 6 上の位置認識ターゲットを用いた位置検出を各基板 7 5 及び 7 6 の主表面を上にした状態で行った。本実施例では基板 7 5 及び第 2 のステージ 7 2 を可視光、更には紫外光を透過できる構成にすることにより基板 7 5 をミラー反転した状態、即ち図 2 2 に示すごとく基板 7 5 及び 7 6 がそのままできる状態で施した。第 2 のステージ 7 2 は省略し、基板 7 5 と基板 7 6 上の位置認識用ターゲットマーク間で識別してもよい。ここにおいて、基板 7 6 上の位置認識用ターゲットマークは検出光学系 7 7 により基板 7 5 を透過して識別される。本実施例によれば前記実施例 1 3 で用いたステージマーク 8 0 及び 8 1 による基板間の位置合せ機構が省略でき、基板 7 5 及び 7 6 間のより直接的な位置合せが可能となつて装置の簡略化が実現できた。更に前記実施例 1 3 においては基板 7 5 と第 2 のステージ 7 2 と間で大幅な位置不整合が存在した場合、位置認識が不可能となる欠点が生じるが、本実施例においては基板 7 5 及び 7 6 間の大幅な位置不整合の存在は一

目瞭然であり、簡単に修正できる。

【0051】本実施例において、基板 7 5 及び第 2 のステージ 7 2 を紫外光が透過する構成にすることにより通常の Si 基板のごとく赤外光しか透過できない場合に比べて、より短波長の検出光学系 7 7 が使用可能となる。従って、より精密な位置検出が可能となる。紫外光に対する透過特性と容易に入手できることを考慮すると第 2 のステージ 7 2 は透明石英基板であることが望ましく、基板 7 5 は該透明石英基板に（特に紫外光も透過可能なフロン樹脂系の）薄い接着剤により貼合せた単結晶 Si 超薄膜の半導体集積回路装置層であることが望ましい。ここにおいて、Si 超薄膜の膜厚は紫外光透過の条件から 100 nm 以下であることが望ましい。本実施例により精密な位置検出とその後の接着、及び超薄膜化等の工程を施された基板 7 5 及び 7 6 は前記実施例 1 又は 2 に基づいて該透明石英基板を除去し、超薄膜が形成される。

【0052】前記実施例 1 3、及び 1 4 において、基板 7 5 及び 7 6 間の精密な位置合せを阻害する要因は基板 7 5 及び 7 6 の各々に構成する集積回路装置の製造に不可欠の基板上成膜に基づく。即ち、基板上に形成する各種絶縁膜や金属膜自身が有する内部応力や基板上成膜の状態で施される各種熱処理により基板との熱膨張係数の違いに基づき熱応力により半導体集積回路装置又は半導体集積回路装置層が構成された基板は上に凸又は凹になるごとく反りを生じ、基板表面のパターンに歪み及び伸縮をもたらす。上記のパターン歪み及び伸縮は基板周辺領域において特に顕著となる。2 枚の基板間の精密な位置合せを行う段階において上記パターン歪み及び伸縮の影響を大幅に緩和するには集積回路装置が製造された 2 枚の基板の反りを同一に制御すれば解決できる。その一手法として、2 枚の基板が各々平面になるごとく構成する。具体的には前記実施例 1 3、及び 1 4 において、ステージ 7 2 上に基板 7 5 を、ステージ 7 3 上には基板 7 6 を真空吸着したが、該真空吸着を表面が極めて平坦で多数の吸引孔を有するステージにより該基板を強く吸着することで実現できる。吸引孔の数を多く構成するほど吸着基板はステージの形状に一致することができ、多孔構成によるステージが望ましい。これにより精密な位置合せを行う 2 枚の基板の主表面を平坦に保持し、パターン歪み及び伸縮を最小限に抑えることが可能となる。2 枚の基板の主表面におけるパターン歪み及び伸縮を同一に制御する観点から該主表面は必ずしも平面である必要はなく、パターン歪み及び伸縮が同一になるごとく所望曲面に制御してもよい。

【0053】（実施例 1 5）図 2 3 は本発明の第 1 5 の実施例による半導体集積回路装置の製造方法を示す断面図である。本実施例においては 2 枚の基板間位置合せを更に厳密ならしめる手法を追及した。前述したごとく、基板表面に形成されたパターンの伸縮及び歪は集積回路

装置の製造過程で基板上に形成する各種絶縁膜及び金属膜の膜厚と各種膜の形成後における熱処理履歴に大きく依存する。従って、半導体基板上に形成された集積回路装置のパターンに集積回路装置固有の伸縮及び歪が発生することは謂ば不可避である。本実施例では上記状況を踏まえた上で正確な位置合せを保証しつつ2枚の基板を貼合せた。即ち、貼合せるべき2枚の基板はその成膜条件等の前歴が同一のものどうしで実施させた。図23において、57と58は各々単結晶Si超薄膜の半導体集積回路装置層であり、前記実施例2又は3に基づいて超薄膜化とその貼合せを施した。30は透明石英基板であり、水溶性接着剤26及びフロン系接着剤34により超薄膜57と接着した。57と58は各々製造工程が異なり、従って超薄膜化前の段階、即ち半導体基板主表面上に半導体集積回路装置が形成された段階において半導体基板の反り量は各々異なっていた。かかる半導体基板に関し、本実施例においては線膨張係数が半導体基板と異なる絶縁膜を堆積して2枚の半導体基板の反りの方向及び量が等しくなるごとく制御した。上記絶縁膜の堆積は半導体基板の何れの面であってもよい。しかる後、前記実施例13に記載の装置を用いて2枚の半導体基板の精密な位置合せとその接着を行った。反りの方向及び量が等しい2枚の基板間においてはパターンの伸縮及び歪量がほぼ等量となり相対的なパターン位置ズレは解消され、良好な位置合せが実施できた。

【0054】全く同一の製造工程により製造された2組の超薄膜57及び58を各々透明石英基板30に接着させ、再び前記実施例13に記載の装置を用いてこれらを接着剤をもちず直接貼合せ、四層構造の超薄膜とした。しかる後、水溶性接着剤26を溶融して一方の透明石英基板30を除去してから別途準備した支持基板と接着させ、接着剤34の溶融により他方の透明石英基板30も除去して半導体集積回路装置を完成させた。上記四層構造の超薄膜の製造において、2組の重合せ超薄膜57及び58は何れも全く同一の製造工程により製造され、同一の断面構成を有している。これにより、重合せ超薄膜57及び58に生ずるパターン位置ズレは相対的に等しくなり、正確な位置合せが特別な対策無しに容易に実現できた。

（実施例16）図24は本発明の第16の実施例による半導体集積回路装置の製造方法を示した平面図である。前述の各実施例において、本発明の半導体集積回路装置につきその製造方法を含めて説明したが何れの実施例においても半導体集積回路装置又は半導体集積回路装置層を別途準備した半導体基板、又は石英基板等に一度接着し、超薄膜化など所望の製造工程を施した後、該超薄膜を何らかの手法により他の基板と再び貼合せる手法を用いている。上記手法において、最初に接着した半導体基板、又は石英基板等を半導体集積回路装置又は半導体集積回路装置層から剥離させるが接着剤によってはその溶

媒による剥離が容易でないことがある。これは接着剤厚さが薄いため溶媒が接着面に速やかに浸透しないためである。溶媒を接着面に速やかに浸透させ、石英基板72を半導体集積回路装置又は半導体集積回路装置層75から速やかに剥離させるため、本実施例においては剥離させるべき石英基板72の所望箇所に図24に示すごとく石英基板72の裏面から表面に達する微細な貫通孔59を複数形成したものを使用した。接着剤の種類に応じて貫通孔59は一つであってもよい。

10 【0055】前記実施例1及び2等に従った半導体集積回路装置の製造方法において、半導体集積回路装置又は半導体集積回路装置層が形成された半導体基板を石英基板に接着し、超薄膜化など所望の製造工程を施した後、別途準備した他の半導体集積回路装置又は半導体集積回路装置層と精密に位置合せを施して接着している。しかる後、該石英基板を剥離させるがこの剥離工程において本実施例に基づく石英基板72と貫通孔59を有しない石英基板30についてその剥離に要する時間を比較した。溶融すべき接着剤としてポリビニルアルコール等の水溶性接着剤、及びフロン系接着剤、石英基板72に設ける貫通孔59の直径は10 μ mから200 μ mまで、貫通孔59の数も1から50個まで各種検討した。何れの場合も貫通孔59を有する本実施例による石英基板72を用いた方が剥離に要する時間を十分の一以下と大幅に短縮することができた。上記記載条件の貫通孔58を有する石英基板72は予め接着する工程、及びその後の超薄膜化など所望の製造工程を通じ、貫通孔59を有しない石英基板の場合と全く同様に作用でき、何等問題は生じなかった。

30 【0056】なお、前述した各実施例において、説明を簡便化するために接着剤の材料を特定して述べたが本発明の精神は第一の接着剤の溶融に対して第二の接着剤が溶融されない性質のものであればよく、従って、その範囲内であれば接着剤の材料は何ら限定されない。また、接着剤の溶融は製造した超薄膜を他の支持基板に転写可能にするための工程であり、被接着基板の消耗による製造価格の上昇を考慮しないならば超薄膜を別の支持基板に転写した後、被接着基板を機械的研磨・研削により除去してもよい。

40 【0057】（実施例17）図25から図26は本発明の第16の実施例による半導体集積回路装置を製造工程順に示した断面図である。実施例2に於いて、図6の状態から保護絶縁膜12に開口を施し、開口にA1を主材料とする金属膜65及び66を埋め込み、保護絶縁膜12面と同一面になるごとく平坦化及び清浄化させた。更に、図6と同様の製法により別の単結晶Si基板11上に形成した半導体集積回路装置に厚い多結晶Si膜24の堆積とその表面の平坦化研磨までを行い、その表面にフッ素系樹脂による接着層23の形成、及び半導体集積回路装置に達する開口を接着層23に施し、開口側壁の絶

緑化処理の後、開口部に A l を主材料とする金属膜 6 7 及び 6 8 を埋め込み、接着層 2 3 面と同一面になるごとく平坦化及び清浄化させた。しかる後、前述の位置合せ装置を用いて正確な位置合せを行って両者を接着させた (図 2 5) 。

【 0 0 5 8 】 しかる後、第 2 の S i 基板 1 1 を 1 0 0 ℃ に加熱し、ワックス 2 0 を溶解させ、石英基板 3 0 から剥離し、残置されたワックスのアセトンによる洗浄除去と多結晶 S i 膜 2 2 の選択エッチングを施した。上記ワックス除去工程はフッ素系樹脂よりなる接着層 2 3 には何の影響も与えない。次に単結晶超薄膜 S i 層 1 上において所望の回路構成に基づいて配線 1 8 を施し、半導体集積回路装置を完成させた (図 2 6) 。

【 0 0 5 9 】 本実施例に基づく半導体集積回路装置としてメモリセルアレーを積層集積化した各層のメモリセルアレーは同一製造工程、同一熱処理工程に基づいて形成され、従って同一機能を有していたが、積層集積化によっても何ら機能に変化は生じなかった。従来平面構成集積化構造における最大配線長が本実施例に基づく積層化により短縮され、アクセス速度の向上が達成できた。更に、本実施例は接着面に接続配線を露出し、露出面で接続配線ができる構成であるため本実施例手法を拡張することにより 3 層以上の積層化にも容易に適用できる利点を有することが明らかである。

【 0 0 6 0 】

【 発明の効果 】 本発明によれば半導体集積回路装置を縦方向にも極めて精度よく整合して積層化できるので面積の増大化と無関係に半導体集積回路装置の更なる高集積化が実現できる。上記積層化に於いて、各層の半導体集積回路装置を熱処理工程を含めて全く同一特性、同一機能を保ったままで積層化が可能である。本発明によれば半導体基板の大口径化等新たな設備投資を要することなく現有半導体製造装置で次世代、次々世代に要求させる超高性能、大容量半導体集積回路装置を製造することができる。更に、本発明によればシステムを構成する種々の半導体集積回路装置を予め複数枚途中製造しておき、需要状況に応じて顧客が要望するシステムを迅速に製造し、出荷することができる。従って、製造工程の短縮とコストの低減効果がある。

【 0 0 6 1 】 本発明によれば半導体集積回路装置を構成する基本回路を更に所望構成素子群ごとに同一の半導体基板に製造し、その積層化により一基本回路に一体化して集積回路装置とすることができる。従って、同一基板内で領域を分けて異種導電型素子を構成した従来構造に比べて領域分離に要する製造工程、及び占有面積を省略できる。また、隣接素子間の相互干渉や隣接素子製造工程に基づく素子構造の自由度の制限なども解消できる。これにより製造工程の短縮とコストの低減効果が新たに生じる。

【 0 0 6 2 】 半導体集積回路装置の大容量化・大面積化

に伴い、素子または構成回路が製造不良に陥る確率が増大するが更に本発明によれば不良領域を素子単位、又は所望単位ごとに選択し、その電流経路を正常な素子または構成回路側の領域に切替えることができる。これにより、大容量化・大面積化の半導体集積回路装置の良品歩留りを大幅に向上することができる。

【 0 0 6 3 】 本発明によれば超薄膜の製造工程において、超薄膜を接着した第 1 の支持基板から他の支持基板に超薄膜を転写するにあたり該第 1 の支持基板を消耗することなく剥離させるので大規模半導体集積回路装置を廉価に製造することができる。

【 図面の簡単な説明 】

【 図 1 】 従来の半導体集積回路装置の一例を示す断面図。

【 図 2 】 本発明の実施例 1 の半導体集積回路装置の製造工程を示す断面図。

【 図 3 】 本発明の実施例 1 の半導体集積回路装置の製造工程を示す断面図。

【 図 4 】 本発明の実施例 1 の半導体集積回路装置の製造工程を示す断面図。

【 図 5 】 本発明の実施例 1 の半導体集積回路装置の完成断面図。

【 図 6 】 本発明の実施例 2 の半導体集積回路装置の製造工程を示す断面図。

【 図 7 】 本発明の実施例 2 の半導体集積回路装置の製造工程を示す断面図。

【 図 8 】 本発明の実施例 2 の半導体集積回路装置の完成断面図。

【 図 9 】 本発明の実施例 3 の半導体集積回路装置の製造工程を示す断面図。

【 図 1 0 】 本発明の実施例 3 の半導体集積回路装置の製造工程を示す断面図。

【 図 1 1 】 本発明の実施例 3 の半導体集積回路装置の完成断面図。

【 図 1 2 】 本発明の実施例 4 の半導体集積回路装置の完成断面図。

【 図 1 3 】 本発明の実施例 5 及び 6 の半導体集積回路装置の完成断面図。

【 図 1 4 】 本発明の実施例 7 の半導体集積回路装置の製造工程を示す断面図。

【 図 1 5 】 本発明の実施例 7 の半導体集積回路装置の完成断面図。

【 図 1 6 】 本発明の実施例 8 の半導体集積回路装置の完成断面図。

【 図 1 7 】 本発明の実施例 9 及び 1 0 の半導体集積回路装置の完成断面図。

【 図 1 8 】 本発明の実施例 1 1 の半導体集積回路装置の完成断面図。

【 図 1 9 】 本発明の実施例 1 2 の半導体集積回路装置の製造工程を示す断面図。

【図 2 0】本発明の実施例 1 2 の半導体集積回路装置の完成断面図。

【図 2 1】本発明の実施例 1 3 の半導体集積回路装置の製造装置を示す概念図。

【図 2 2】本発明の実施例 1 3 の半導体集積回路装置の製造装置を示す概念図。

【図 2 3】本発明の実施例 1 5 の半導体集積回路装置の製造工程を示す断面図。

【図 2 4】本発明の実施例 1 6 の半導体集積回路装置を示す平面図。

【図 2 5】本発明の実施例 1 7 の半導体集積回路装置の製造工程を示す断面図。

【図 2 6】本発明の実施例 1 7 の半導体集積回路装置を示す平面図。

【図 2 7】従来の半導体集積回路装置の一例を示す断面図。

【符号の説明】

1…半導体基板、2…素子間分離絶縁膜、3…ゲート絶縁膜、4、5…ゲート電極、6、7、8…拡散層、9、15…端子電極、10…電極保護絶縁膜、11…半導体基板、14…配線、16…保護絶縁膜、17…接続配線、18…配線、19…ゲート電極、20、25…ワッ

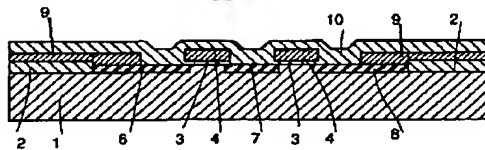
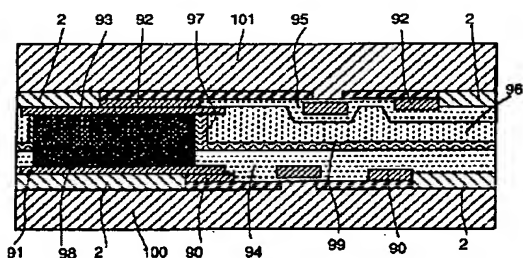
クス、21、23…接着層、22、24、27、28…多結晶 Si 膜、26、29…接着層、30…透明石英基板、31、35、40…Si 基板、32…薄い絶縁膜、33…低抵抗多結晶 Si 膜、36…熱酸化膜、37…低抵抗導電配線、38…多結晶 Si 膜、39…電氣的開放領域、41、44…電極保護絶縁膜、42、43…低抵抗導電膜、45…接着層、46、47…ゲート電極、49…電極、50…主記憶装置が構成された超薄膜 Si 層、51、52、53…拡張記憶装置が構成された超薄膜 Si 層、54…中央処理装置が構成された超薄膜 Si 層、55、56…電流経路制御用トランジスタのゲート電極、57、58…超薄膜半導体集積回路装置、59…貫通孔、61、62、63…拡散層、71、72、73…ステージ、74…ブロック、75、76…基板、77、78、84…位置検出光学系、79…位置認識部、80、81…ステージマーク、82…基板変形制御機構、83…コンピュータ制御制御系、85…ステージ位置制御系、86…移動機構、201…第 1 の半導体集積回路層、202…第 2 の半導体集積回路層、203…絶縁膜、205…層間配線、211…第 1 の配線層、221…第 2 の配線層、212…第 1 の活性領域、222…第 2 の活性領域、213…第 1 層のゲート電極。

【図 1】

【図 2】

図 1

図 2

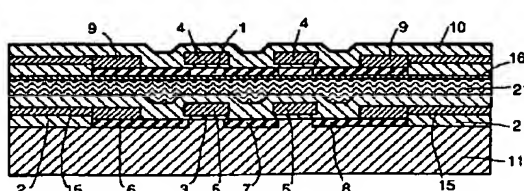
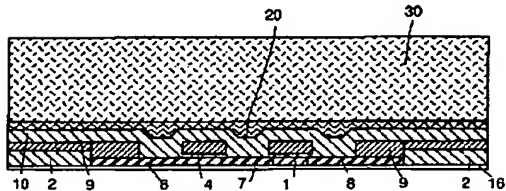


【図 3】

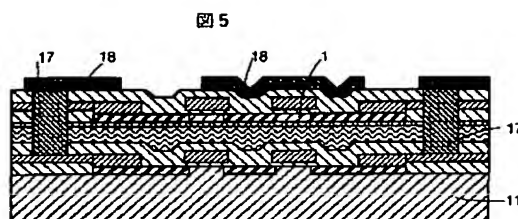
【図 4】

図 3

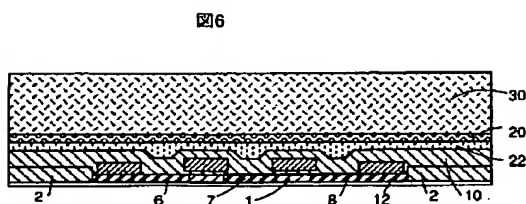
図 4



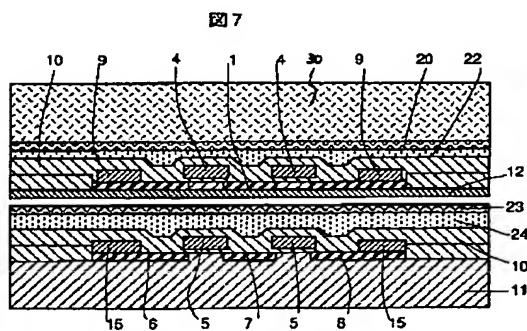
【図 5】



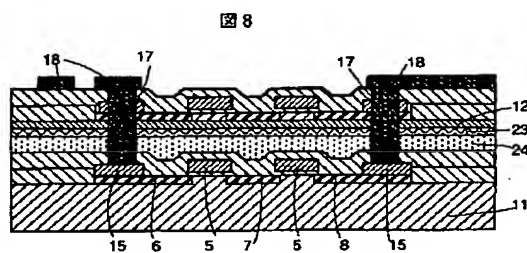
【図 6】



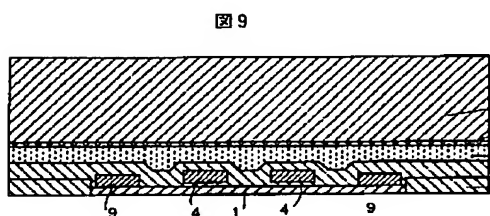
【図 7】



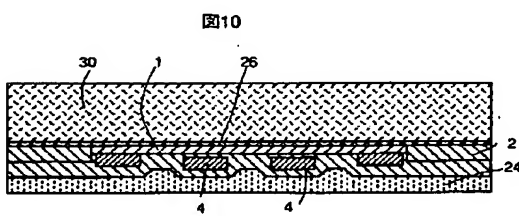
【図 8】



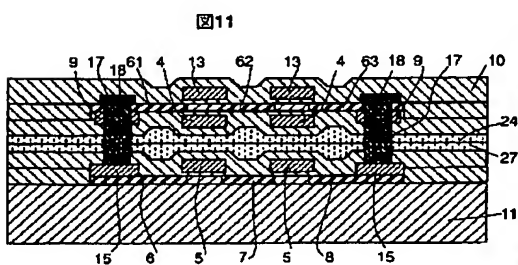
【図 9】



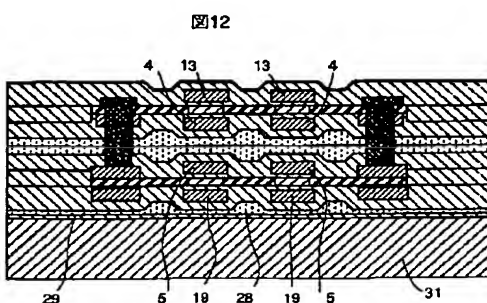
【図 10】



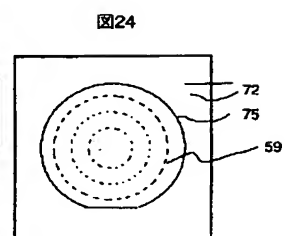
【図 11】



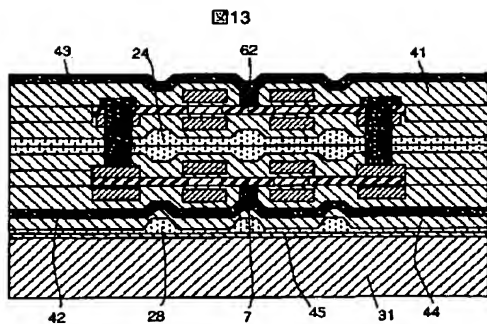
【図 12】



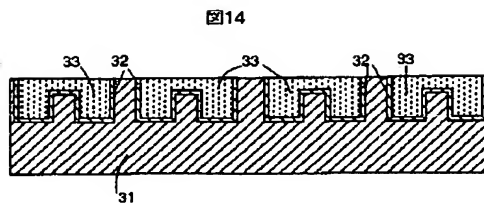
【図 24】



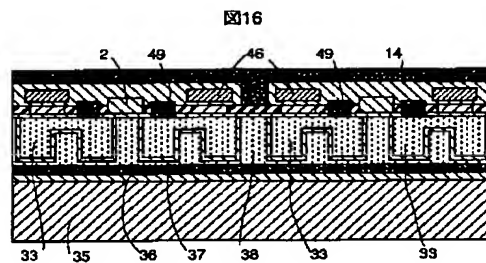
【図 1 3】



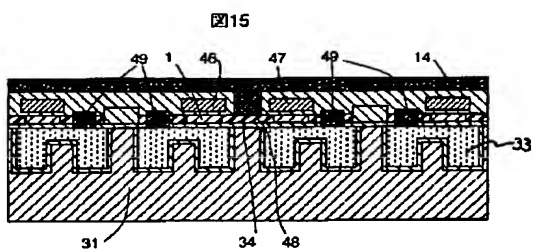
【図 1 4】



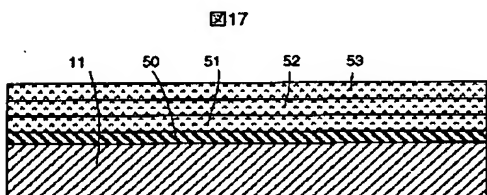
【図 1 6】



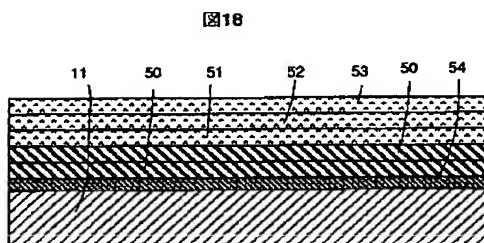
【図 1 5】



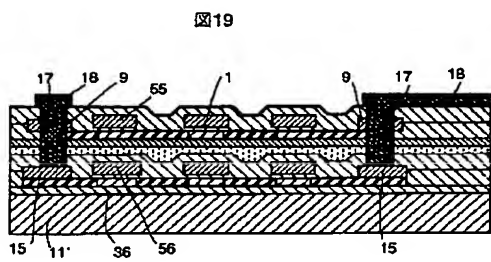
【図 1 7】



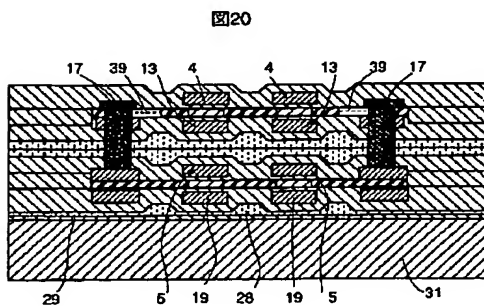
【図 1 8】



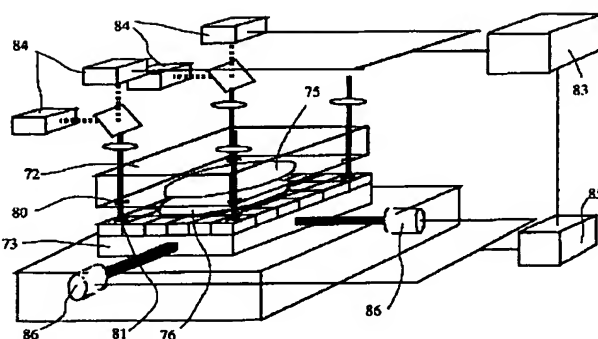
【図 1 9】



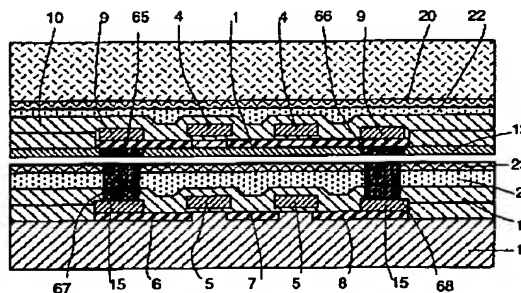
【図 2 0】



【图 2 2】



【図 25】



【図 27】

